

开发面向汽车应用的高可靠性可编程NVM IP

2014年7月

作者

新思科技公司
(Synopsys)高级设计
经理Martin Niset

新思科技公司
(Synopsys)高级产
品营销经理Craig
Zajac

概述

随着汽车和物联网需要越来越多更加智能的IC，它们推升了对非易失性存储器，尤其是可编程NVM的需求。除了代码存储之外，传感器、电源管理、无线连接等器件也要使用NVM进行校准、配置、记录数据、设置用户信息和存储安全性信息。由于并非上述所有功能都需要或能够用得起嵌入式闪存，我们必须考虑和了解其它NVM技术。

无论最终应用是量产消费产品或高可靠性汽车组件，嵌入式NVM都需要具备足够高的品质和可靠性，不仅拥有很高的成品率，而且还能确保在产品生命周期内提供所需的实际性能。由于很多用户刚刚开始集成和使用嵌入式NVM，设计人员也许并不熟悉如何区分完全合格、可靠的NVM和那些不太成熟的产品。在开发高品质、可靠的非易失性存储器解决方案时，NVM IP提供商必需将设计和测试考虑在内。为了帮助IC设计人员为汽车应用挑选最高品质的NVM IP，本白皮书将探讨从设计到测试的整个过程中所要考虑的关键因素，其中包括：

- ▶ 关键可靠性指标
- ▶ 可靠性设计
- ▶ 通过性能测试、认证测试和可靠性测试展示可靠性

通过了解这个过程，无论是自主开发IP还是选择最佳的IP供应商，IC设计人员都能为他们的设计做出明智的选择。最终选择的NVM将能为他们的终端应用提供所需的可靠性，从而确保产品的盈利能力和可制造性。在很多情况下，与一家能够提供完整而全面的硅片测试数据的供应商开展合作，将能补充IC性能测试厂商自己的认证和性能测试数据，从而降低成本，缩短上市时间。

关键可靠性指标

在考虑高可靠性可编程NVM IP时，IC设计人员必需确保他们的IP开发商已经考虑了图1所示的4个关键可靠性指标：

- ▶ 功能运行窗口：NVM能否在不同的工艺、电压和温度条件下运行？
- ▶ 数据保持：在不刷新的情况下，NVM能够保持编程数据多长时间？
- ▶ 耐擦写能力：NVM能够被写入和重复写入多少次？
- ▶ 干扰：对NVM整列中的某个字编程是否会影响其它字的编程状态？



图1：可编程NVM IP的4个关键可靠性指标

可靠性设计

高可靠性NVM始于IP设计阶段。了解设计和工艺技术的能力能够让IP厂商在最高效的功耗和面积预算内满足IC设计的可靠性目标。在设计NVM IP时，IP厂商可以采用三种架构方法提升总体可靠性：

1. 差分位元架构

位元是NVM阵列或任何存储器整列的重要组件。提升位元的内在可靠性的一种方法是采用差分位元。对于基于浮栅（FG）的NVM而言，这个差分位元由两个浮栅构成，一个被编程成为高，另一个被编程为低，中间点为“中性点”，即无偏置浮栅最终漏电之处。如图2所示，读出放大器用于确定位元的数据状态的编程窗口被定义为两个浮栅之间的电流差值。如果其中一个浮栅有缺陷，向中性点漏电，则该读出放大器仍然能够读出正确的数据。

就可靠性而言，如果浮栅失效概率是 P_{FG} ，那么对于一个单端位元，位失效概率（ P_{BIT} ）就是

$$P_{BIT} = P_{FG}$$

但是，对于一个差分位元而言，浮栅失效概率降至

$$P_{BIT} = (P_{FG})^2$$

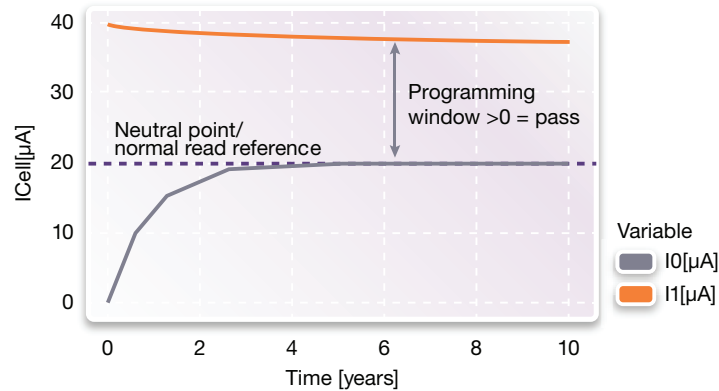


图2: 差分位元的编程窗口

以下等式汇总了如何根据位失效概率（ P_{BIT} ）和阵列架构计算字和阵列的预期失效概率：

$$\text{位失效概率} = P_{BIT}$$

$$\text{字失效概率} = P_{word} = 1 - (1 - P_{BIT})^{N_{bit}}$$
，其中 N_{bit} = 每个字中的位的数量

$$\text{阵列失效概率} = P_{array} = 1 - (1 - P_{word})^{N_{word}}$$
，其中 N_{word} = 每个阵列中的字的数量

以一个由32个32位字构成的1 Kbit可编程NVM阵列为例，假设浮栅失效概率是0.0001%（即100万个位中有一个失效），则单端架构的阵列预期失效概率约为1%。在浮栅失效概率不变的情况下，使用差分位元可将阵列预期失效概率降低约6个数量级，至0.1PPM。

2. 集成误码校正

第二种提高可靠性的架构方法是集成误码校正（ECC）功能。ECC包括向数据字添加奇偶校验位。一个可实现单位纠错、双位检错ECC方案的32位字需要39个物理位元。采用ECC时，只有当一个字中两个位元失效，整个字才会读出错误的数据。集成ECC后，计算字预期失效概率比增加一个简单的差分位元的情况更加复杂，但仍能计算，等式如下：

$$\text{采用ECC时的字失效概率} = P_{(word-ECC)} = 1 - [(1 - P_{BIT})^{N_{bit} + NECC} + (N_{bit} + NECC) \times P_{BIT} \times (1 - P_{BIT})^{N_{bit} + NECC - 1}]$$

其中 N_{bit} = 每个字中的位的数量； $NECC$ = ECC奇偶校验位的数量

$$\text{阵列失效概率} = P_{array} = 1 - (1 - P_{word-ECC})^{N_{word}}$$
，其中 N_{word} = 每个阵列中的字的数量

表1汇总了集成ECC或使用差分位元如何将任意浮栅失效概率为1 PPM的1 Kbit NVM阵列提升至汽车级品质。

架构	任意浮栅失效概率	PPM (1k bit)
单端	0.0001%	~10,000
单端+ECC	0.0001%	~2
差分	0.0001%	~0.1

表1: 位单位架构和纠错码对于阵列可靠性的影响

在浮栅失效概率更高的工艺中, 通过结合使用ECC和差分位元, 仍然能够实现汽车级可靠性。例如, 某项工艺拥有一个很高的浮栅失效概率: 0.1% (即千分之一浮栅会失效)。在这种情况下, 采用差分位元和ECC的1 Kbit阵列 (32x32) 的阵列预期失效概率将低于0.1 PPM。

3. 合理应用高压信号

差分位元和ECC都能补偿NVM阵列中已经发生的失效。位元通过减少编程期间位元的损坏和应力来降低失效的频率或概率也同样重要。在浮栅NVM位元中, Fowler-Nordheim位元隧道效应是一种擦写位元的常用机制。对于一个70Å栅氧化层 (通常在250-nm至90-nm工艺尺寸的3.3V IO器件中使用), Fowler-Nordheim隧道效应需要8-12 V电压才能有效地编程位元。

在一个脉冲中施加满幅电压会给栅氧化层带来压力, 而且大量的编程周期有可能使栅氧化层发生物理破裂, 从而损坏基于浮栅的可编程NVM。另一方面, 虽然极为缓慢的电压上升斜率能够减轻对栅氧化层的压力, 但有可能使编程时间长得难以接受。为了在性能和可靠性之间取得平衡, 我们需要一种更加完善的编程算法。

各种架构方法和技术结合工艺的内在能力将决定NVM IP的总体可靠性。下一节探讨如何在硅片上展示可靠性。

在硅片上展示可靠性

高可靠性NVM始于设计和架构创意, 但展示可靠性却要求NVM开发商遵循包含3个步骤的程序, 进行全面的硅片测试。每个步骤用于回答一个与NVM性能有关的问题:

- ▶ 性能: NVM IP能否量产?
- ▶ 认证测试: NVM IP和认证测试方法是否符合相关行业标准?
- ▶ 可靠性: NVM IP是否满足最终产品的可靠性目标?

NVM开发商必需采用一种全面的测试方法。如果开发商是一个IP供应商, 供应商的硅片数据可用于增强或替代IC设计人员的可靠性测试数据, 从而减少项目的工作量和总成本。以下描述的测试方法基于Synopsys的内部方法, 后者又基于行业最佳实践。

性能测试

性能测试所回答的问题是IP能否量产。性能测试需要采集大量数据, 因为需要在不同的工艺、电压和温度条件下测试NVM IP的关键参数, 确定规格的有效容限, 并设置初步的量产测试界限。

在各种电压和温度条件下进行测试

无论是从较少的样本 (数千个IP内核) 推断, 还是量产数千万件产品, 它们都需要在超出正常规格条件的情况下测试NVM IP。一次“基本性能测试”将在指定的温度和电压范围内使用制程split硅片测试几个点。但是, 大规模量产, 硅片和NVM IP性能的偏差几乎肯定会超出基本性能测试的范围, 如图3所示。因此, 除了在温度和电压规格范围内测试10到20个点之外, 还必须在规格范围外进行测试, 以便将更多偏差考虑在内, 如图4所示。



图3: 超出基本性能测试的范围

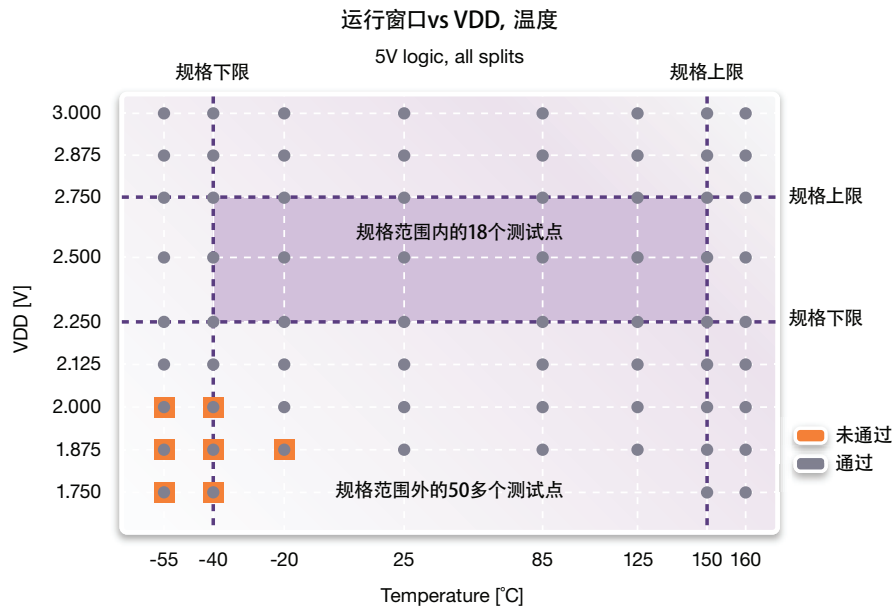


图4: 在规格界限之外展示的功能

除了标准的电流消耗和时序等电气特性之外，NVM IP还有几个需要通过性能测试进行验证的独特参数，即数据保持、耐擦写能力和写干扰。

数据保持测试

数据保持指的是NVM位元长时间保持数据的能力。对于已在一系列的NVM IP中广泛应用的浮栅技术，可以通过提高温度加快数据保持测试的速度。在性能测试期间，工艺内在的数据保持能力得到了测试，从而确定了工艺和NVM IP的能力。人们通常使用以下Arrhenius等式建立数据保持模型，其中EA是活化能，k是Boltzman常数，T1和T2 a是以开氏度为单位的温度：

$$Acceleration\ Factor\ (A_i) = e^{\frac{E_A}{k} \left[\frac{1}{T_1} - \frac{1}{T_2} \right]}$$

每种工艺的活化能是经验值，获得方法是：在不同的温度下（通常为150° C或更高）进行保持烘烤测试，并测量浮栅上的剩余电量，以确定温度加速因子（从而通过Arrhenius模型确定活化能）。一旦知道了活化能，就能计算出任意两个温度之间的加速因子。如图5所示，采用从125Å（通常为5V IO器件）到50Å（通常为2.5V IO器件）栅氧化层的工艺技术具备良好的内在保持能，与D. Ielmini et. al公布的43Å理论限值相符[1]。

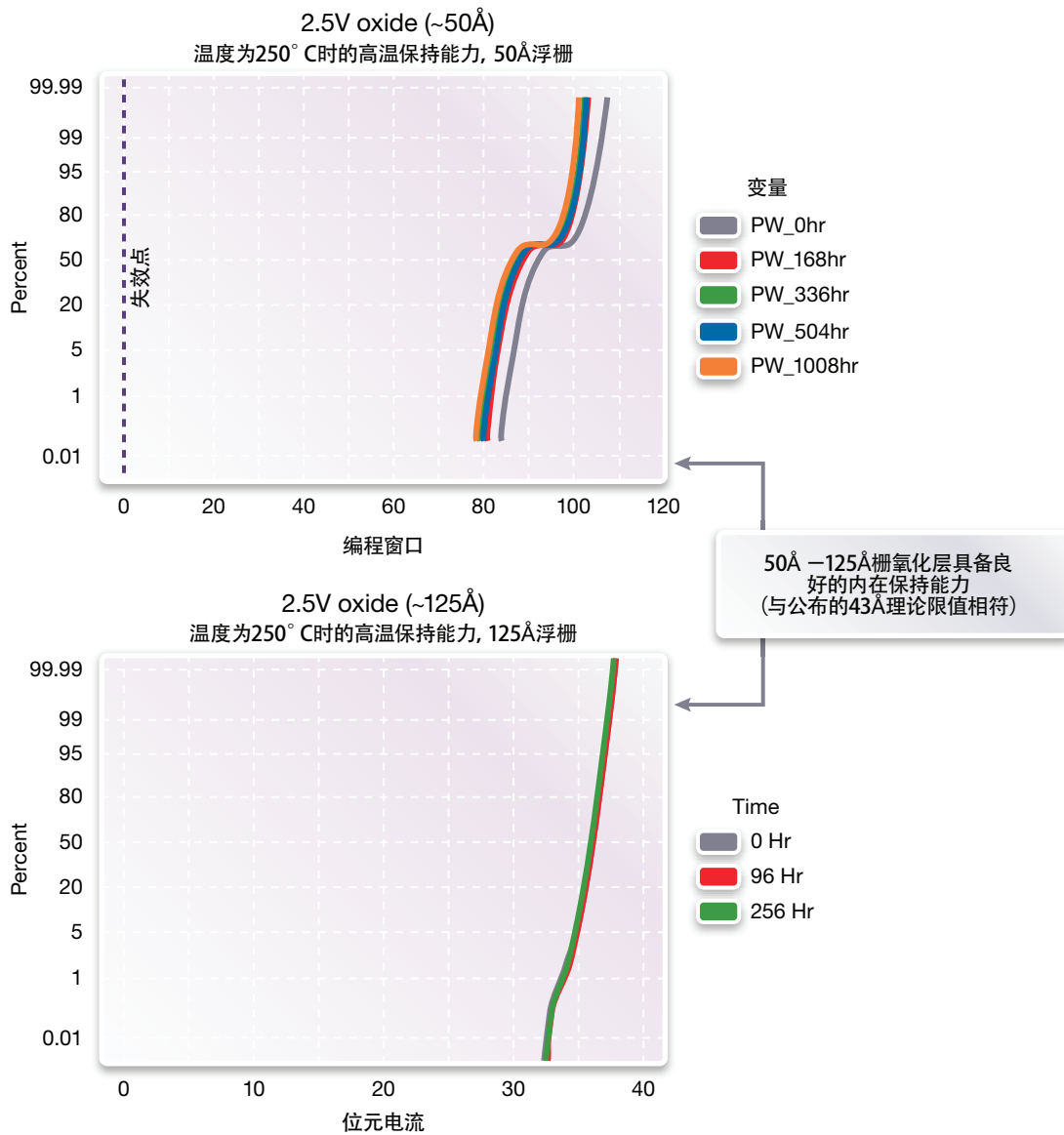


图5: 125Å和50Å栅氧化层的内在保持能力

耐擦写能力测试

性能测试中测量的下一个关键可靠性参数是耐擦写能力。测量耐擦写能力包括监测擦写周期内的编程窗口和编程时间。与功能和参数性能类似，测量耐擦写能力也需要在规格范围外进行测试。典型的测试方法是向NVM模块施加10倍于耐擦写能力规格下限的压力。

此外，通过与晶圆厂开展密切合作，还可以测试更多涵盖薄厚栅氧化层的工艺split。由于氧化层越厚，编程和擦除位元所需的电压越高，测量较厚的栅氧化层将能证明NVM IP的高压电路能够提供所需的电压。较薄的栅氧化层需要较低的编程和擦除电压，因此，更容易在耐擦写能力测试期间承受过大压力而损坏。通过测试薄厚栅氧化层工艺split，使得量产阶段会发生的工艺偏差在NVM IP测试中也得到体现。

写干扰测试

与耐擦写能力有关的另一个特性参数是写干扰。写干扰测试用于评估此前已被写入的位元抵御另一个位元上后续编程事件对其产生干扰的能力。在现实应用中，如果阵列的一小部分用于存储只需要写入几次的器件标识或配置数据，而其余部分用于存储数据，并在产品的整个生命周期内被持续写入，则写干扰就是一个非常重要的特性。由于器件标识或配置数据不需要编程或刷新，其数据内容易受阵列的数据存储部分的大量擦写操作的干扰。在性能测试期间，为了测量写干扰性能，阵列被分为图6所示的数据和代码两个部分。以不同的频率擦写阵列的这两个部分可以展示NVM IP的写干扰性能。

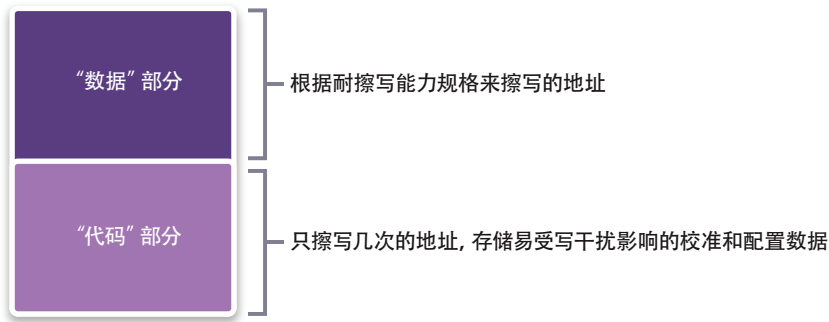
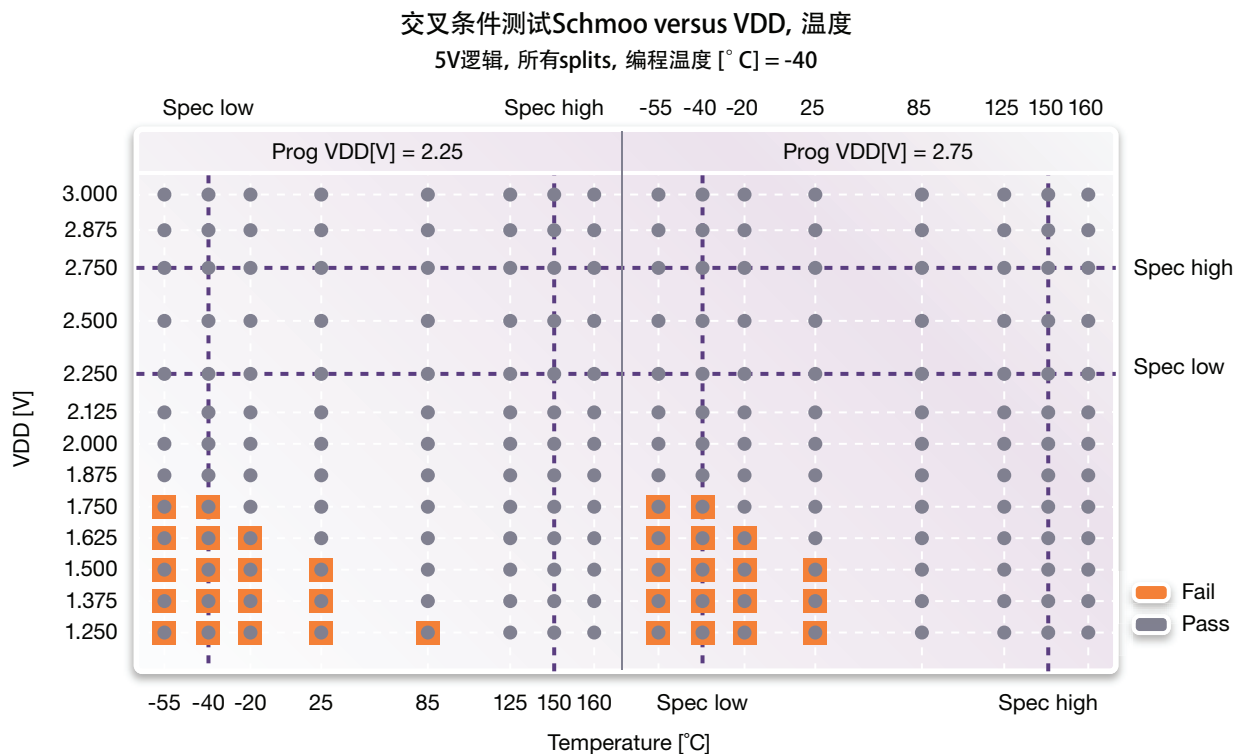


图6: 在写干扰性能测试期间对NVM阵列分区

交叉条件测试

最后一个关键的性能测试是交叉条件测试。为了提高测试效率，编程和读取功能通常被同时测试。在一定的电压和温度条件下，对位元编程，然后立即读取它，以便确认编程和擦除操作在给定的条件下能够正确运行。但在最终应用中，编程和读取操作也许不会在相同的条件下。配置设置也许是在最后测试期间在严格受控的电压和温度条件下写入的，但必需能够在各种条件下被正确读取。对于汽车应用，可能需要在启动车辆时对NVM编程，也许是在很低的温度下，但随着车辆和环境温度逐渐升高（有时会很 高），NVM也必须被正确读取。

为了测量NVM IP的交叉条件性能，需要在多个样本上分离编程和读取操作。在高温和高电压条件下对NVM编程，然后在所有的电压和温度条件下运行一次完整的读Schmoo测试。在低温和低电压条件下被编程的阵列上重复Schmoo。如图7所示，理想的结果是读取功能和NVM编程条件之间没有任何关联。



交叉条件测试Schmoo versus VDD, 温度
5V逻辑, 所有splits, 编程温度[°C] = 150

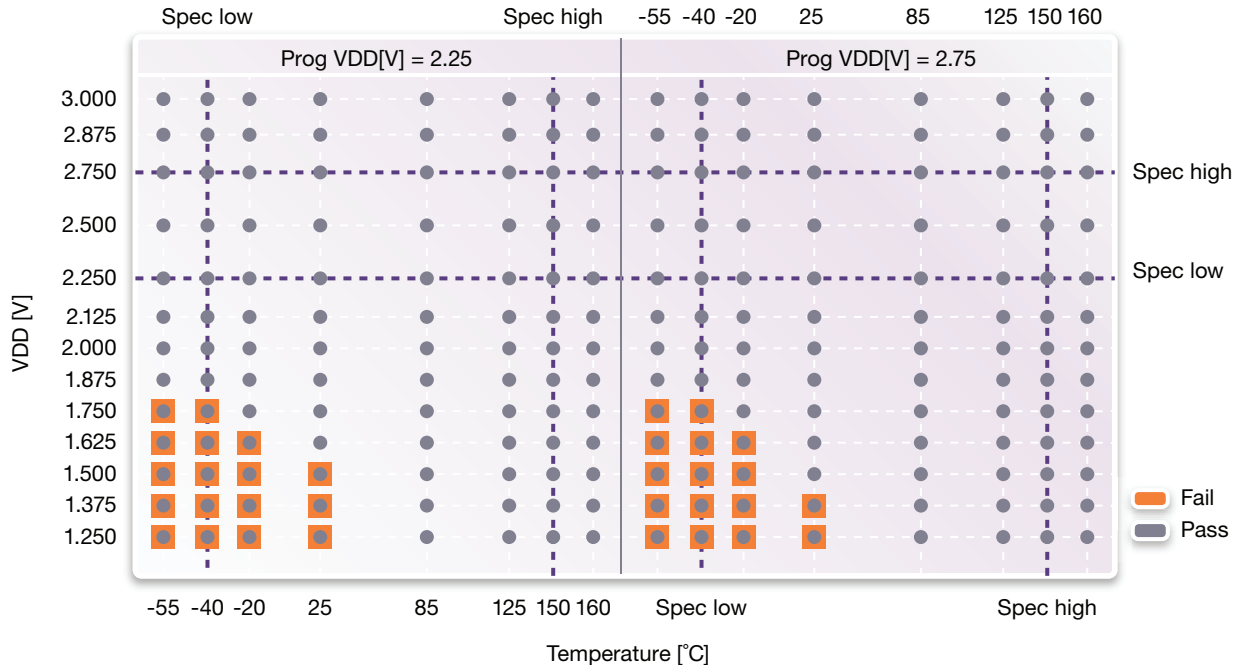


图7: 交叉条件测试的结果

认证测试

在认证测试期间, 主要关注的问题是NVM IP和测试方法是否符合相关行业标准。认证测试方法必需根据最终产品的细分市场和应用空间, 将众多不同的标准考虑在内。对于消费级产品, JEDEC JESD47H标准通常适用。对于汽车级产品, AEC-Q100标准更加适用。此外, 某些晶圆厂也给第三方提供商提出了他们自己的指南和建议, 如TSMC的IP9000。表2对比了一些常见的行业标准认证测试流程要求。Synopsys的标准认证测试流程是行业标准流程的集合, 满足JEDEC、AEC-Q100和TSMC IP9000的要求。

	交叉条件测试 Schmoo versus VDD, 温度	耐擦写能力 (室温)	耐擦写能力 (高温)	使用寿命	保持能力 (高温)	保持能力 (低温)
AEC Q100 G AEC Q100-005 C		3 lots x 77 units/lot worst case condition		3 x 77	3 x 77	
JEDEC JESD47H		3 x 38	3 x 39	3 x 77	3 x 39	3 x 38
TSMC IP9000			3 x 77	3 x 100	3 x 77	
Synopsys	3 x 100	3 x 77	3 x 77	3 x 100	3 x 77 +3 x 38	3 x 77

表2: 面向可编程NVM IP的常见的行业标准认证测试流程对比

设计一种能够满足最终产品的质量目标的认证测试方法对于避免NVM的测试过度或测试不足至关重要。对一款汽车级最终产品做消费级认证测试将不能满足市场的要求。对一款消费级最终产品做汽车级认证测试将会招致更高的成本和测试失败风险, 而且所产生的市场效益也微乎其微。

图8显示了消费级认证测试与汽车级认证测试之间的差别。消费级认证测试有三个测试项目, 每个项目至少测试231个IP模块。耐擦写能力测试在最低和最高规格温度以及室温下进行。耐擦写能力测试项目旨在测试耐擦写能力和写干扰性能, 方法是对NVM阵列分区, 然后以最高频率擦写某些位, 让其余的位受写干扰事件的影响。

完成耐擦写能力测试后, 在150° C下烘烤高温耐擦写能力测试阵列1,008小时, 用于评估高温数据保持能力。在25° C下烘烤室温耐擦写能力测试阵列1,008小时, 用于评估低温数据保持能力(某些泄漏机制有可能在高温条件下退火, 因此在认证测试中包含室温保持烘烤测试很重要); 将低温耐擦写能力测试阵列置于动态高温使用寿命(DHTOL)压力以及最高的电压和温度下1,008小时。DHTOL测试项目包括连续读取阵列。

汽车级认证测试增加了三个重要的测试项目：

- ▶ 数据保持能力和DHTOL压力测试从1,008小时延长至3,024小时，用于模拟汽车行业更长的使用寿命要求。
- ▶ 增加了一项温度>200° C的高温数据保持能力测试，以便将那些实际使用温度为150° C的汽车应用考虑在内。
- ▶ 生命周期早期失效率测试在认证测试流程开始时进行。

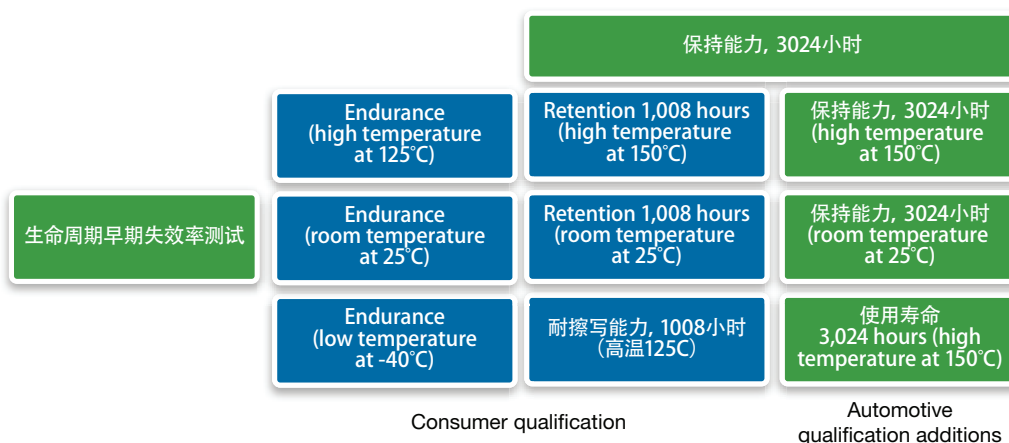


图8: 消费级和汽车级认证测试流程

扩展可靠性测试

扩展可靠性测试是展示高可靠性NVM阵列时最常忽略的一项测试。通过认证测试可能会带来一种安全错觉，误认为满足了最终产品的可靠性目标。当1,000个NVM阵列经过认证测试，而且失效率为零时，其最终结果是失效率刚刚超过2,000 ppm，置信度为90%。对于大多数量产产品而言，这是不可接受的，而且远远达不到汽车级产品的要求。

如图9所示，扩展可靠性测试关注被称为“尾比特 (Tail Bit)”的离群者。NVM阵列中的这些比特与普通比特的特性不同，更可能引发现场可靠性问题。



图9: 认证测试和可靠性测试之间的差别

除了认证测试之外，还需要采集扩展可靠性和位电平漂移数据，以估算出某个位随着时间的推移失效的概率 (P_{BIT})。通过使用所测得的PBIT，NVM阵列的可靠性预测成了架构的函数。

扩展可靠性测试的目的之一是创建用于预测NVM行为随时间变化的模型。使用有限数量的样本的可靠性趋势图能够创建一个经验模型，用以评估样本较多时的长期可靠性。表3显示了一个经验模型在各个设计架构中的精确度。在本例中，NVM阵列被配置为单浮栅和差分位元，再加上是否使用误码校正两种情况。

该模型根据所测得的浮栅失效概率准确预测出硅片中的字失效总数。长期可靠性模型被要求证明NVM适合不同的应用和细分市场。

架构	浮栅失效概率	被测行数	失效行数 (模型)	失效行数 (数据)
SE	2.4E-4	48,604	364	386
SE + ECC	2.4E-4	48,604	1.88	2
Differential	2.4E-4	48,604	0	0
Differential + ECC	2.4E-4	48,604	0	0

表3: 长期可靠性模型与硅片测试结果对比

结束语

开发高可靠性NVM IP需要超越设计技术和架构，并运行大量的硅片测试，以展示品质和可靠性。随着嵌入式NVM—尤其是嵌入式可编程NVM—不断拓展至此前不使用NVM的应用和产品中，设计人员必需熟练掌握相应的设计和测试方法，以便选出不仅能够开发可靠的NVM，而且还能在硅片上展示各项性能的供应商。

不能选出符合最终应用和可靠性要求的NVM IP将导致成品率的降低或现场故障，而它们将会严重影响最终产品的盈利能力和可制造性。选择拥有展示所需可靠性的知识和方法学的NVM IP供应商还有一个好处，即该供应商的数据可用于补充最终产品的合格性和可靠性测试数据，从而减少开发和发布新产品所需的工作量和成本。

开发和展示高可靠性NVM需要经验、知识和硅片测试能力。Synopsys在可编程NVM IP领域独具优势，不仅拥有设计和测试NVM所需的专业技术知识，而且还拥有实施同类最佳流程和程序所需的设施和能力。

Synopsys DesignWare AEON系列NVM IP能够提供基于硅片的耐擦写能力、保持和写干扰性能的详细数据。每一款DesignWare AEON NVM IP产品均针对具体功能而优化，例如，汽车、工业和超低功耗无线应用中的实时数据记录、高精度修正与校准、数据或用户资料信息的安全存储等。有关Synopsys DesignWare AEON NVM IP解决方案的更多信息，敬请访问：<http://www.synopsys.com/nvm>。

参考资料

[1] D. Ielmini, A. S. Spinelli和A. L. Lacaita, “Recent developments on Flash memory reliability” (闪存可靠性的最新进展) Proc. INFOS, 2005年, Microelectron. Eng. 80C, 321-328 (2005)。